

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2002年12月20日  
Date of Application:

出願番号      特願2002-369723  
Application Number:

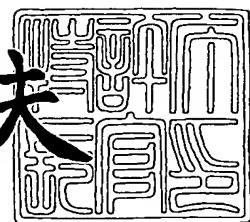
[ST. 10/C] :      [JP2002-369723]

出願人      沖電気工業株式会社  
Applicant(s):

2003年 9月10日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 OG004742  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/027  
【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

【氏名】 渡辺 実

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

【氏名】 佐々木 俊

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100089093

【弁理士】

【氏名又は名称】 大西 健治

【手数料の表示】

【予納台帳番号】 004994

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パターン形成方法

【特許請求の範囲】

【請求項 1】 基板表面上に被加工膜を形成し、前記被加工膜上にレジスト膜を形成する工程と、

前記基板表面上にマスクを配置し、前記マスクを介して前記レジスト膜に第1のエネルギー線を照射する工程と、

前記第1のエネルギー線を照射した後、前記レジスト膜を現像し、前記基板表面上に第1のレジストパターンを形成する工程と、

前記マスクを介さずに、前記第1のレジストパターンに対して第2のエネルギー線を照射する工程と、

前記第2のエネルギー線を照射した後、前記第1のレジストパターンに対して熱処理を行い、前記第1のレジストパターンよりも小さい第2のレジストパターンを形成する工程と、

前記第2のレジストパターンをマスクとし、前記被加工膜をパターニングする工程とを有することを特徴とするパターン形成方法。

【請求項 2】 請求項1記載のパターン形成方法において、

前記第1のエネルギー線は、エキシマレーザであることを特徴とするパターン形成方法。

【請求項 3】 請求項2記載のパターン形成方法において、

前記レジスト膜は、化学增幅型レジストであることを特徴とするパターン形成方法。

【請求項 4】 請求項2記載のパターン形成方法において、

前記第1のエネルギー線の照射は、前記第1のレジストパターンの繰り返し部分を部分的に一括して行われることを特徴とするパターン形成方法。

【請求項 5】 請求項4記載のパターン形成方法において、

前記第2のエネルギー線は、電子ビーム線または紫外線であることを特徴とするパターン形成方法。

【請求項 6】 請求項1記載のパターン形成方法において、

前記第2のエネルギー線の照射により、前記第1のレジストパターンを構成する高分子材料の架橋反応が生じることを特徴とするパターン形成方法。

【請求項7】 請求項1記載のパターン形成方法は、さらに、

前記第1のレジストパターンに対する熱処理工程における加熱温度と、前記熱処理工程後の前記第1のレジストパターンの縮小率との関係を求める工程を有することを特徴とするパターン形成方法。

【請求項8】 請求項7記載のパターン形成方法において、

前記熱処理工程における加熱温度は、前記加熱温度と前記第1のレジストパターンの縮小率との関係により決定されることを特徴とするパターン形成方法。

【請求項9】 請求項1記載のパターン形成方法において、

前記第1および第2のレジストパターン形状は、略線状もしくは点状であることを特徴とするパターン形成方法。

【請求項10】 請求項1記載のパターン形成方法は、さらに、

前記基板は、半導体基板であって、

前記被加工膜をパターニングした後、前記被加工膜をマスクとして、前記基板表面に不純物注入を行い、前記基板表面上にMOSFETを形成する工程を有することを特徴とするパターン形成方法。

【請求項11】 請求項10記載のパターン形成方法において、

パターニングされた前記被加工膜は、前記MOSFETのゲート電極であることを特徴とするパターン形成方法。

【請求項12】 請求項1記載のパターン形成方法において、

前記基板は、半導体基板であり、さらに、前記基板表面上にレジスト膜を形成する前に、前記基板表面上に半導体素子を形成する工程を有し、

前記パターニングされた被加工膜は、前記半導体素子と電気的に接続されることを特徴とするパターン形成方法。

【請求項13】 請求項12記載のパターン形成方法において、

パターニングされた前記被加工膜は、前記半導体素子に電気的に接続された配線であることを特徴とするパターン形成方法。

【発明の詳細な説明】

**【0001】****【発明の属する技術分野】**

本発明は、特に、半導体素子などの製造工程における微細加工に用いられるパターン形成方法に関するものである。

**【0002】****【従来の技術】**

半導体装置における一般的なパターン形成方法では、まず、半導体基板上の全面に、パターン形成を行う被加工膜が形成され、その被加工膜上の全面にフォトレジスト膜が塗布される。次に、公知のフォトリソグラフィ技術により、フォトレジスト膜がパターニングされる。このパターニングされたレジストパターンがマスクとして用いられ、下地膜である被加工膜がエッチング加工される。その後、レジスト膜が除去され、半導体基板上に被加工膜のパターンが形成される。

**【0003】**

近年の半導体素子における集積度の増加に伴い、半導体素子の最小線幅の微細化が要求されている。このような要求を満たす場合、微細なレジストパターンの形成が重要であるが、従来のフォトリソグラフィ技術においては、レジストパターン形成時に用いる露光波長による解像限界が存在するため、解像限界以上の微細化要求に応えられないといった問題が生じていた。

**【0004】**

上記のような問題点を改善するための方法として、従来、例えば、下記の特許文献1に示されるようなレジストパターン形成方法があった。

**【0005】****【特許文献1】**

特開2002-23390号公報

以下、上記公報に記載された従来技術を説明する。

**【0006】**

上記公報に記載されたレジストパターンの微細化技術は、まず、リソグラフィ工程において最終的な仕上がり目標値（目標寸法）よりも大きな寸法を有するレジストパターンを形成する。その後、レジストパターンに対してアッシングを行

い、所望の寸法（目標寸法）までレジストパターンを微細化することで、露光波長による解像限界以下の寸法を有するレジストパターンを得るものである。

### 【0007】

#### 【発明が解決しようとする課題】

しかしながら、レジストパターンをアッシングにて微細化させる従来のレジストパターンの微細化技術では、レジストパターンに対するアッシング時に、チャンバー内の雰囲気の差異や化学種の変動に起因するプラズマの不均一性が生じてしまうといった問題があった。その結果、ウエハ面内、および複数のウエハ間で寸法変換差が変動し易く、アッシング後のレジストパターン寸法にはらつきが生じていた。つまり、従来におけるレジストパターンの微細化技術では、高精度な寸法制御が困難であり、寸法精度が劣化することによって生じる、チップ信頼性の低下や歩留まりの低下といった課題が生じていた。

### 【0008】

本発明は、上記のような問題点を解決するために成されたものであり、基板上に形成されたレジストパターンを、リソグラフィの限界を超えて、容易に寸法制御良く微細化することのできるレジストパターンの形成方法を提供することを目的とする。さらに、それを用いた半導体装置の製造方法を提供することを目的とする。

### 【0009】

#### 【課題を解決するための手段】

上記課題を解決するために、本発明に係るパターン形成方法は、基板表面上に被加工膜を形成し、被加工膜上にレジスト膜を形成する工程と、基板表面上にマスクを配置し、マスクを介してレジスト膜に第1のエネルギー線を照射する工程と、第1のエネルギー線を照射した後、レジスト膜を現像し、基板表面上に第1のレジストパターンを形成する工程と、マスクを介さずに、第1のレジストパターンに対して第2のエネルギー線を照射する工程と、第2のエネルギー線を照射した後、第1のレジストパターンに対して熱処理を行い、第1のレジストパターンよりも小さい第2のレジストパターンを形成する工程と、第2のレジストパターンをマスクとし、被加工膜をパターニングする工程とから構成されるものであ

る。

### 【0010】

本構成により、容易に寸法制御良く微細化することのできるレジストパターンの形成方法が提供され、結果として、寸法精度が劣化することによって生じる、チップ信頼性の低下や歩留まりの低下といった課題を回避することが可能となる。

### 【0011】

#### 【発明の実施の形態】

以下、本発明の第1の実施形態について図面を参照して詳細に説明する。

### 【0012】

図1 (a)～(e)は、第1の実施形態におけるパターン形成方法の各工程断面図である。

### 【0013】

第1の実施形態におけるパターン形成方法では、まず、図1 (a)に示されるように、例えば、後に、その表面にトランジスタ等の半導体素子が形成されるシリコン(Si)基板101を準備する。その後、基板101表面上に、被加工膜である下地膜102を形成する。この下地膜102はパターニングされて、例えばトランジスタのゲート電極や配線等となるものであり、例えば、ポリシリコンや金属等の導電膜により構成されている。次に、下地膜102上の全面に約60nm程度の膜厚の反射防止膜103を形成する。反射防止膜103上に、第1のエネルギー線の照射によりパターニングされるポジ型化学增幅レジスト(SIPLEY社製のKrf用ポジレジストUV113)を約430nm程度の膜厚で塗布し、約100°C程度の温度にてベーク処理を行う。これらの工程により、レジスト膜104、反射防止膜103および下地膜102が表面上に形成された基板101が準備される。

### 【0014】

その後、下地膜102、反射防止膜103およびレジスト膜104を順次形成した基板101の上方に、所望のパターンが描かれたマスク105を配置し、マスク105を介して第1のエネルギー線、例えばKrfエキシマレーザ(λ=2

48 nm) 106 を照射することで、マスク105上のパターンをレジスト膜104に転写する。

### 【0015】

本実施形態では、基板101上に光の透過率が約6%程度のハーフトーンマスクを配置し、約30 mJ/cm<sup>2</sup>程度のエネルギー量にてKrFエキシマレーザの照射を行う。また、本実施形態における照射工程においては、開口数 (NA: numerical aperture) = 0.60, 2/3輪帯照明のKrFエキシマレーザ露光装置を使用する。

### 【0016】

第1のエネルギー線であるKrFエキシマレーザ106を照射した後、感光させたレジスト膜104を約2.38%程度のテトラメチルアンモニウムハイドロオキサイド (TMAH) にて現像し、図1 (b) に示すように、反射防止膜103上にレジストパターン1041を形成する。反射防止膜103上に形成されたレジストパターン1041の幅W<sub>1</sub>は約160 nm程度である。レジストパターン幅W<sub>1</sub>は、使用するKrFエキシマレーザ露光装置のパターン形成条件等によって適宜決定される。

### 【0017】

ポジ型レジストを用いた本実施形態においては、第1のエネルギー線を照射した領域が酸を触媒とする分解反応により容易性となり、後の現像工程を経て、第1のレジストパターン1041を形成する。すなわち、第1のエネルギー線が照射された領域のレジスト膜104にエネルギーが吸収されて、酸を発生し、その酸を触媒として用いることで、レジスト膜104に含まれる高分子材料の分解反応を生じさせる。こうして、易容性となったレジスト膜104を現像液にて除去することで、第1のレジストパターン1041を得る。

### 【0018】

その後、マスク105を除去し、図1 (c) に示すように、マスク105を介さずに基板101上方から第1のレジストパターン1041に対して第2のエネルギー線である電子ビーム線 (EB) ( $\lambda$ =約10.0 nm) 107の照射を行う。このとき、第2のエネルギー線の電子ビーム線については、少なくとも約2 m

$\text{C}/\text{cm}^2$  程度以上、望ましくは約 2.8 keV、約 4 mC/ $\text{cm}^2$  程度のエネルギー量にて照射を行う。この第1のレジストパターン 1041 に対する第2のエネルギー線の照射により、第1のレジストパターン 1041 中には架橋反応が引き起こされる。

#### 【0019】

第1のエネルギー線にてパターニングを行い、第2のエネルギー線の照射にて架橋反応を生じさせるような本実施形態のパターン形成方法においては、第2のエネルギー線照射による架橋反応の影響により、第2のエネルギー線照射後のレジストパターンにおけるガラス転移転温度  $T_{c\ a}$  が、第2のエネルギー線照射前のレジストパターンにおけるガラス転移温度  $T_{c\ b}$  よりも上昇する。KrF用ポジ型レジスト (UV113) をレジスト膜 104 として使用する本実施形態では、第1のエネルギー線 (KrFエキシマレーザ) の照射によるパターン形成後、約 150°C 程度であったガラス転移温度  $T_{c\ b}$  が、第2のエネルギー線 (電子ビーム線) 照射の後には、約 350°C 以上のガラス転移温度  $T_{c\ a}$  へと変化する。

#### 【0020】

そのため、本実施形態のパターン形成方法によれば、第2のエネルギー照射を行わない従来のパターン形成方法では、レジストパターンの熱だれ等によるパターンの形状劣化のため不可能であったガラス転移温度 ( $T_{b\ c} = 150^\circ\text{C}$ ) 以上の高温ベーク処理も可能となる。

#### 【0021】

ここで、図2を用い、架橋反応を生じさせる第2のエネルギー線を照射したレジストパターンの寸法縮小量とベーク処理時におけるベーク温度との関係について説明する。

#### 【0022】

図2は、第2のエネルギー線である電子ビーム線を照射したKrF用ポジ型化學增幅レジスト (UV113) におけるレジストパターンの寸法縮小量とベーク温度との関係を示すグラフである。

#### 【0023】

ベーク温度を 50°C 間隔で 200°C から 350°C へと変化させてベーク処理を

行い、各ベーク温度におけるレジストパターンの寸法縮小量の測定を行った。これらの測定結果をプロットすることで、レジストパターンの寸法縮小量とベーク処理時におけるベーク温度との関係を示す図2を得た。

#### 【0024】

第1のレジストパターン1041形成後、第2のエネルギー線を照射することで架橋反応を生じさせるレジストパターンの寸法縮小量は、図2より、その後に行われるベーク温度に比例して増加していくことが判る。本実施形態にて使用したKrFエキシマレーザ用ポジ型レジスト(UV113)のレジストパターンでは、約0.14nm/°C程度のシュリンク特性を有する。

#### 【0025】

つまり、ポジ型レジスト(UV113)をレジスト膜104の材料として使用する本実施形態のパターン形成方法では、架橋反応後のレジストパターンに対するベーク温度を、レジストパターンの寸法縮小量に応じて、適宜設定することにより、所望の寸法W<sub>2</sub>を有する微細レジストパターンを形成することが可能となる。

#### 【0026】

本実施形態では、図1(d)に示すように、第2のエネルギー線を照射し、レジストパターン1041に架橋反応を生じさせた後、公知のホットプレートにて、350°C、60秒間の加熱108を行う。これにより、反射防止膜103上に、160nm幅のレジストパターン1041が約27.1nm程度縮小されて微細化された幅W<sub>2</sub>の第2のレジストパターン1042を形成する。

#### 【0027】

最後に、図1(e)に示すように、反射防止膜103上に形成された第2のレジストパターン1042をマスクとして、反射防止膜103および下地膜102の異方性エッチング109を行い、下地膜の微細パターン110を形成する。

#### 【0028】

以上のような、マスクを介して第1のエネルギー線を照射することでレジストパターンを形成し、その後、形成されたレジストパターンに対して、さらにレジストパターンのガラス転移温度を上昇させる第2のエネルギー線の照射を行う本

実施形態のパターン形成方法では、第2のエネルギー線照射後の高温ベーク処理にて、レジストパターンの等方的な膜減りが観察される。これは、第2のエネルギー線照射によってレジストパターン1041中の高分子材料に引き起こされる架橋反応、自由体積の減少、残留溶媒の揮発等に依るものである。

#### 【0029】

本実施形態では、第2のエネルギー線照射後のレジストパターンに対する、ベーク時間またベーク温度を、架橋反応等によるレジストパターンの寸法縮小量に基づいて、適宜設定することで、基板上に形成されたレジストパターンを、リソグラフィの限界を超えて、容易に寸法制御良く微細化することを実現している。

#### 【0030】

つまり、第2のエネルギー線照射後のレジストパターンに対するベーク時間またベーク温度を制御することによりレジストパターンの微細化を実現する本実施形態のパターン形成方法によれば、従来のレジストパターン微細化技術にて用いられていたドライエッチング技術を使用することなく、リソグラフィの限界を超えた寸法のレジストパターンを形成することが可能となる。その結果、ウエハ面内およびウエハ間のレジストパターンの寸法精度について高精度な寸法制御が可能となり、従来のレジストパターン微細化技術にて生じていた、レジストパターンの寸法制御の困難性、寸法精度の劣化に伴う信頼性や歩留まりの低下といった課題を回避することが可能となる。

#### 【0031】

また、本実施形態のパターン形成方法においては、第2のエネルギー線照射後のレジストパターンに対するベーク温度とレジストパターンの寸法縮小量との間に存在する比例の関係に基づき、ベーク処理の条件を設定することが可能となるため、複雑な工程を増やすこと無く、微細な所望寸法のレジストパターンを得ることが可能となる。

#### 【0032】

さらに、例えば、現在市販されているレジスト塗布、現像装置に搭載されているホットプレートの面内の温度差としては、レンジで0.5℃程度あるのが現状であるが、この程度の分布があった場合でもウエハ面内のレンジで約0.05n

m程度の寸法シュリンク量の差としかならないため、非常に高い寸法制御性が得られる。

### 【0033】

加えて、本実施形態におけるパターン形成方法では、レジストパターン1041を得るための第1のエネルギー線としては、ある波長（本実施形態では、KrFエキシマレーザ（ $\lambda = 248 \text{ nm}$ ））を光源とした一括縮小投影露光を用いることが可能である。一括縮小投影露光とは、マスク上に形成されたレチクルのパターンを縮小して順次基板上のレジスト膜を露光するものであり、短時間での加工、高いスループットを可能とする。そのため、この一括縮小投影露光を本実施形態における第1のレジストパターンの形成に用いれば、高いスループットを維持しつつ、微細化されたレジストパターンを短時間で得ることが可能となる。

### 【0034】

なお、本実施形態におけるパターン形成方法においては、第1のエネルギー線にKrFエキシマレーザ、第2のエネルギー線に電子ビーム線を用いた場合を例に挙げて説明を行った。しかし、本発明に用いられる各エネルギー線は、これらのものに限られるものではない。

### 【0035】

第1のエネルギー線としては、基板上に形成されたレジスト膜にパターンを形成することができるものであればよく、例えば、ArFエキシマレーザ、EB、F2エキシマレーザ、EUV（極紫外線）、X線、i線、g線等も用いることが可能である。

### 【0036】

さらに、第2のエネルギー線としては、第1のエネルギー線により感光されるレジスト膜に対して架橋反応を生じさせ、レジスト膜のガラス転移温度を上昇させるものであればよく、例えば、 $\lambda = 100 \sim 300 \text{ nm}$ 程度のエネルギー線、例えば紫外線等を用いることができる。

### 【0037】

また、本実施形態におけるパターン形成方法では、下地膜のパターニングを行うレジスト膜として、ポジ型化学增幅レジスト膜を用いた場合を例に挙げて説明

を行ったが、このような種類のレジスト膜に限られるものではなく、ネガ型化学增幅型レジストも本実施形態にて用いることができる。

#### 【0038】

次に、第1の実施形態におけるパターン形成方法を用いた半導体装置の製造方法について、説明を行う。

#### 【0039】

図3 (a) ~ (g) は、集積回路装置を構成する半導体素子の1つであるMOSFET (metal oxide semiconductor field effect transistor) の製造方法の各工程を示す工程断面図である。以下、約130nm程度のゲート長を有するMOSFETを製造する場合を例に挙げて説明を行う。

#### 【0040】

図3 (a) に示すように、例えばシリコン等よりなるp型半導体基板201上に素子分離領域として酸化シリコン膜202を公知の選択酸化法 (LOCOS法: local oxidation of silicon) 等により形成する。

#### 【0041】

その後、図3 (b) に示すように、酸化シリコン膜202が形成された半導体基板201上に、ゲート絶縁膜203、多結晶シリコン膜204、反射防止膜205およびレジスト膜206を順次形成する。多結晶シリコン膜204は、化学気相成長法 (CVD法: chemical vapor deposition法) により形成され、後に加工されて、トランジスタのゲート電極211となる。また、下地膜である多結晶シリコン膜204上に形成されるレジスト膜206には、先の第1の実施形態におけるパターン形成方法にて用いられたレジスト膜104と同様のものを用いることができる。本MOSFETのゲート電極の製造工程では、反射防止膜205上に、例えば、SIPLEY社製のKrF用ポジ型化学增幅レジストUV113を約430nm程度の膜厚で回転塗布し、プリベークを100°C、2分間行うことでレジスト膜206を形成する。

#### 【0042】

次に、図3 (c) に示すように、レジスト膜206上に、所望のパターンが描

かれたマスク207を配置し、マスク207を介して第1のエネルギー線である、KrFエキシマレーザ( $\lambda = 248\text{ nm}$ )208を照射する。

#### 【0043】

ここでも、開口数(NA: numerical aperture) = 0.60, 2/3輪帯照明のKrFエキシマレーザ露光装置を用いて露光を行い、約30mJ/cm<sup>2</sup>程度のエネルギー量にてKrFエキシマレーザの照射を行う。また、基板101上方には、光透過率が6%程度のハーフトーンマスクを配置し、KrFエキシマレーザの照射を行う。

#### 【0044】

第1のエネルギー線であるKrFエキシマレーザ208を照射した後、感光させたレジスト膜206を約2.38%程度のテトラメチルアンモニウムハイドロオキサイド(TMAH)にて現像し、図3(c)に示すように、反射防止膜205上に第1のレジストパターン2061を形成する。このときのレジストパターン2061の幅W<sub>1</sub>は、目標ゲート長寸法の130nmに比べて約20nm程度長い幅W<sub>1</sub> = 150nm程度となっている。レジストパターン2061の幅W<sub>1</sub>は、後に施される熱処理等の条件によって決定される。

#### 【0045】

次に、マスク207を除去した後、図3(d)に示すように、第1のエネルギー線にて露光されたレジストパターン2061に対して第2のエネルギー線である電子ビーム線(EB)( $\lambda = 100\text{ nm}$ )209の照射を行う。このとき、少なくとも約2mC/cm<sup>2</sup>程度以上、望ましくは約2.8keV、約4mC/cm<sup>2</sup>程度のエネルギー量にて電子ビーム線の照射を行う。この第2のエネルギー線の照射により、レジストパターン2061中には架橋反応が生じる。

#### 【0046】

その後、図3(e)に示すように、第2のエネルギー線を照射したレジストパターン2061を、公知のホットプレートにて加熱210し、ベーク処理を行う。このときのレジストパターン2061に対するベーク条件は、予め求めておいた第2のエネルギー線照射後のレジストパターン2061の寸法縮小率と熱処理温度との関係(シュリンク特性)に基づき適宜設定される。ポジ型レジスト(U

V113) を使用する本MOSFETの製造方法においては、レジストパターン2061の幅W<sub>1</sub>が150nm、目標ゲート長寸法が130nmであるため、求め求めておいた図2のシュリンク特性により、約300℃、60秒間のベーク処理を行う。

#### 【0047】

この処理により、レジストパターン2061は約20nm程度微細化され、反射防止膜205上には、幅W<sub>2</sub>が約130nm程度の第2のレジストパターン2062が形成される。

#### 【0048】

第2のレジストパターン2062形成後、図3(f)に示すように、微細化されたレジストパターン2062をマスクとして、反射防止膜205、下地膜である多結晶シリコン膜204およびゲート絶縁膜203に対して異方性エッチング212を行い、所望のゲート長(130nm)を有するゲート電極211を半導体基板201上に形成する。

#### 【0049】

図3(f)に示す工程後は、通常のMOSFETの製造工程と同様に、イオン打ち込み装置により、n型不純物であるヒ素(As<sup>+</sup>)をゲート電極211をマスクとして半導体基板201に注入し、半導体基板201表面にn型拡散層212を形成する。その後、ホットキャリヤ効果等を抑制するためのドレイン電界を緩和するLDD(lightly doped drain)構造を形成するため、ゲート電極211を含む半導体基板201上にCVD法等により形成されたシリコン酸化膜よりなるサイドウォール213を形成する。このサイドウォール213が形成されたゲート電極211をマスクとし、イオン打ち込み装置を用いて、n型不純物であるヒ素(As<sup>+</sup>)214を半導体基板201に注入する。これにより、n+型拡散層が形成され、LDD構造を有するソース/ドレイン領域215を半導体基板201表面に形成する。以上の工程により、所望のゲート長を有するMOSFETが実現される。

#### 【0050】

上記にて詳細に説明したように、本発明におけるパターン形成方法を用いた半

導体装置の製造方法によれば、高い処理速度（高スループット）で、高い寸法制御性をもつ半導体装置を製造することが可能となる。

#### 【0051】

また、上記の半導体装置の製造方法においては、MOSFETの一部であるゲート電極を形成する際のパターン形成方法を例に挙げて説明を行ったが、その他の部分の形成、例えば、半導体基板201表面に形成された素子と電気的な接続をとるための配線形成工程等においても適用することも可能である。このときパターニングされる下地層は配線を構成する、例えばAl膜等よりなる導電膜となる。

#### 【0052】

もちろん配線形成工程にて本発明のパターン形成方法を適用した場合においても、MOSFETの製造方法の場合と同様に、高い処理速度（高スループット）で、高い寸法制御性をもつ半導体装置を製造することが可能である。

#### 【0053】

なお、本発明におけるパターン形成方法は、例えばMOSFETのゲート電極や配線等、微細パターンで、かつ、高精度の寸法制御が求められる線状パターンや点状パターン形成時に用いられることが望ましい。

#### 【0054】

##### 【発明の効果】

以上説明したように、第2のエネルギー線照射後のレジストパターンに対するベーク時間またベーク温度を制御することでレジストパターンの微細化を実現する本実施形態のパターン形成方法によれば、従来のレジストパターン微細化技術にて用いられていたドライエッチング技術を使用することなく、リソグラフィの限界を超えた寸法のレジストパターンを形成することが可能となる。その結果、ウエハ面内およびウエハ間のレジストパターンの寸法精度について高精度な寸法制御が可能となり、従来のレジストパターン微細化技術にて生じていた、レジストパターンの寸法制御の困難性、寸法精度の劣化に伴う信頼性や歩留まりの低下といった課題を回避することが可能となる。

#### 【0055】

さらに、本発明におけるパターン形成方法をMOSFET、配線等の半導体素子の製造に用いることで、従来のレジストパターン微細化技術にて生じていた、レジストパターンの寸法制御の困難性、寸法精度の劣化に伴う信頼性や歩留まりの低下といった課題を回避しつつ、さらに、高い処理速度（高スループット）および高い寸法制御性を実現することが可能となる。

#### 【図面の簡単な説明】

##### 【図1】

本発明における第1実施形態のパターン形成方法の各工程断面図である。

##### 【図2】

本発明における第1実施形態のパターン形成方法にて使用されるレジスト膜のピーク温度と寸法シュリンク量との関係を示す図である。

##### 【図3】

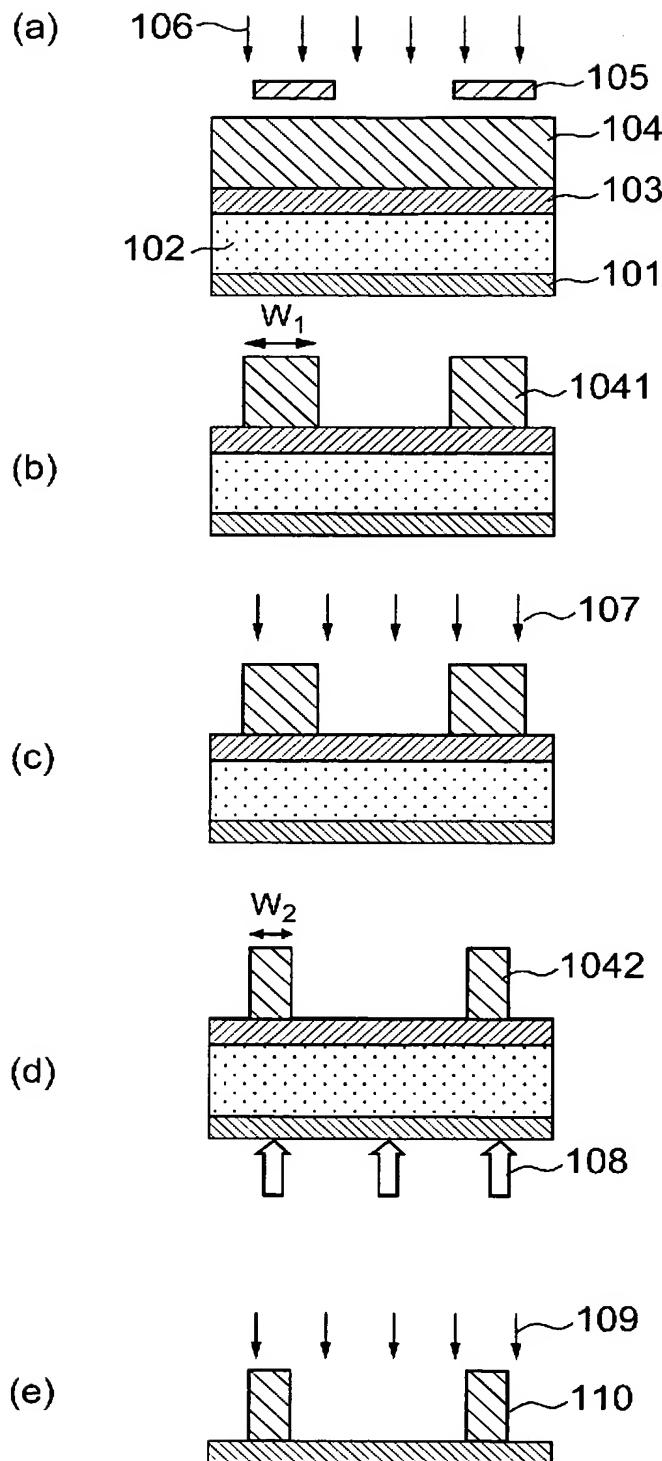
本発明のパターン形成方法を用いたMOSFETの製造方法における各工程断面図である。

#### 【符号の説明】

101	シリコン基板
102	下地膜
103	反射防止膜 (BARC膜)
104	レジスト膜
1041	第1のレジストパターン
1042	第2のレジストパターン
105	フォトマスク
106	KrF光
107	電子ビーム線 (EB線)
108	加熱
109	エッチング
110	下地パターン

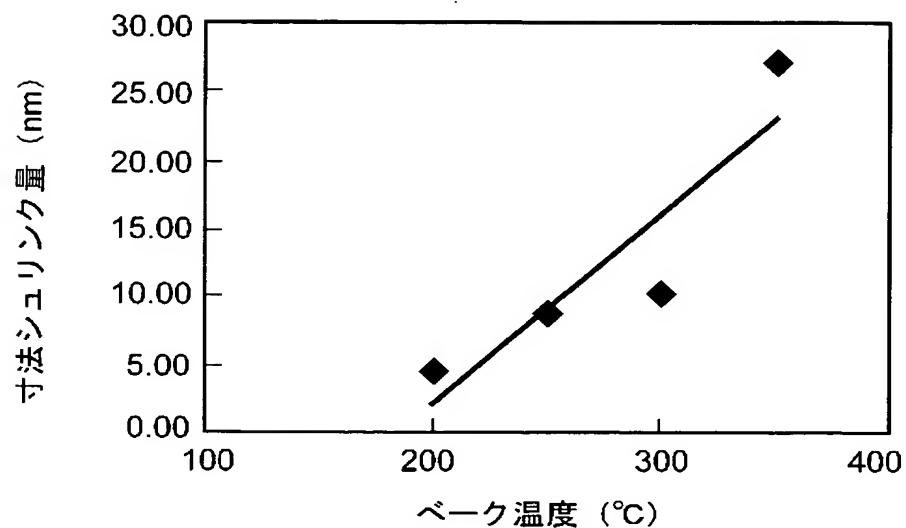
【書類名】 図面

【図 1】

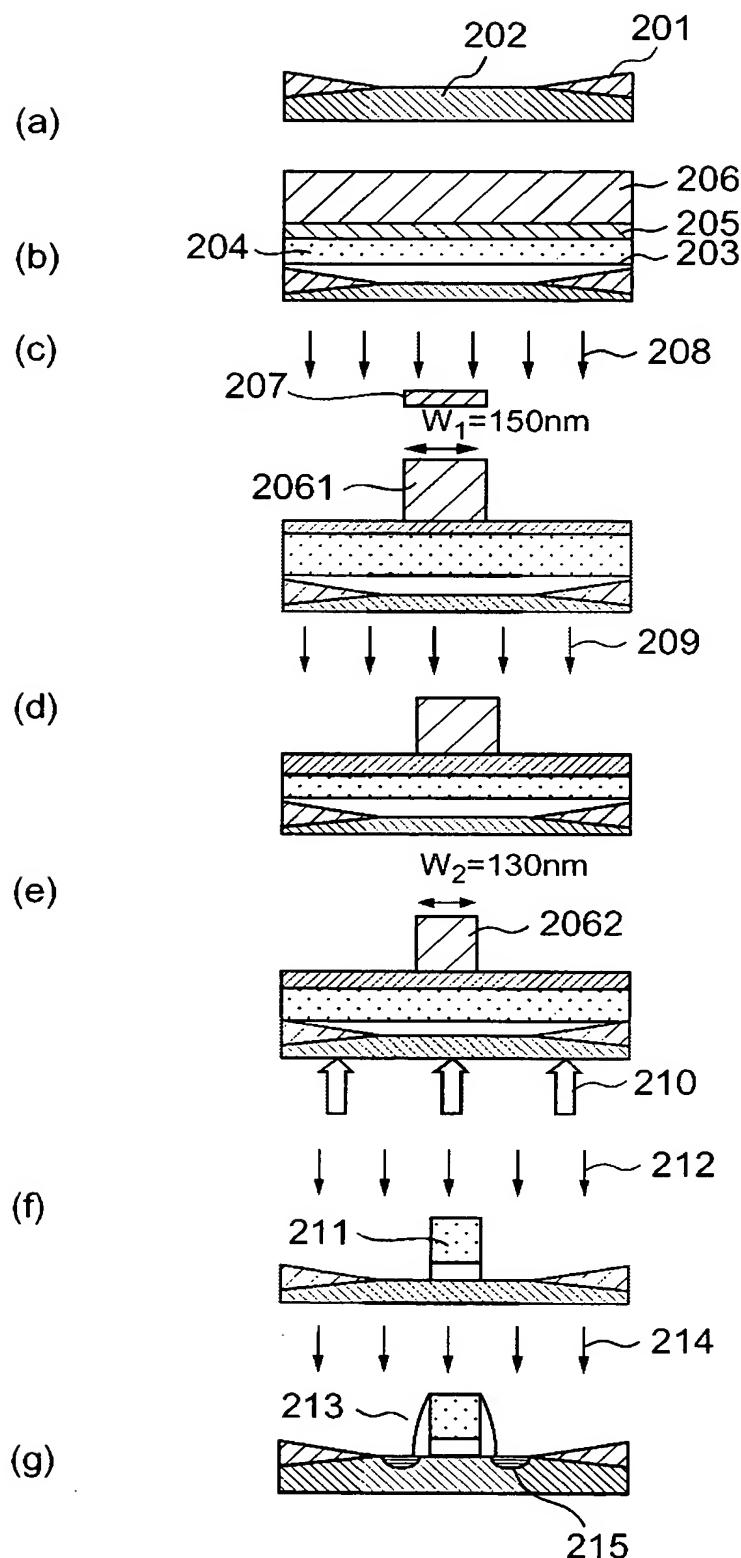


【図 2】

## ピーク温度と寸法シュリンク量の関係



【図3】



【書類名】 要約書

【要約】

【目的】 基板上に形成されたレジストパターンを、リソグラフィの限界を超えて、容易に寸法制御良く微細化することのできるレジストパターンの形成方法を提供することを目的とする。

【構成】 基板表面上にマスクを配置し、マスクを介してレジスト膜に第1のエネルギー線を照射する工程と、第1のエネルギー線を照射した後、レジスト膜を現像し、基板表面上に第1のレジストパターンを形成する工程と、マスクを介さずに、第1のレジストパターンに対して第2のエネルギー線を照射する工程と、第2のエネルギー線を照射した後、第1のレジストパターンに対して熱処理を行い、第1のレジストパターンよりも小さい第2のレジストパターンを形成する工程と、第2のレジストパターンをマスクとし、被加工膜をパターニングする工程とを備える。

【選択図】 図1

## 認定・付与小青幸

特許出願の番号 特願2002-369723  
受付番号 50201935962  
書類名 特許願  
担当官 第五担当上席 0094  
作成日 平成14年12月24日

## &lt;認定情報・付加情報&gt;

【提出日】 平成14年12月20日

次頁無

特願 2002-369723

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号  
氏 名 沖電気工業株式会社